

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-104292

(43)Date of publication of application : 15.04.1994

(51)Int.Cl.

H01L 21/339

H01L 29/796

H04N 5/335

(21)Application number : 04-275534

(71)Applicant : HITACHI LTD  
HITACHI DEVICE ENG CO LTD

(22)Date of filing : 19.09.1992

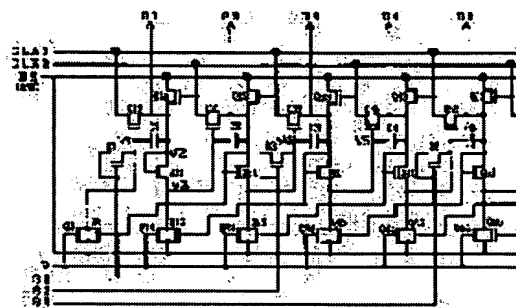
(72)Inventor : IZAWA TETSURO  
TAKEMOTO KAYAO  
OGURA AKIRA

## (54) SHIFT RESISTOR

## (57)Abstract:

**PURPOSE:** To start shift operation from midway and to magnify the image of a specified area to a one-scope size and display it by installing an input circuit constituted of a plurality of circuits which transmit an input signal on the input side of a midway circuit of a midway shift resistor including an initial-stage circuit.

**CONSTITUTION:** A MOSFET Q12 performs storing and outputting operations. The MOSFET Q12 uses its gate capacitor as a storing device. At a gate of an initial-state MOSFET Q12, a first input circuit constituted of a diode-type MOSFET Q1 is installed. A MOSFET Q11 works as a one-way element which transmits a high-level signal V2 of a source side of the MOSFET Q12. A circuit constituted of the MOSFET Q11 or Q15 is a half-bit unit circuit which constitutes a shift resistor. A pair of the half-bit unit circuits constitutes a one-bit unit circuit. A plurality of one-bit circuits are installed to build a shift resistor of a plurality of bits.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's decision]

**THIS PAGE BLANK** (USP 11)

of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USE**

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-104292

(43)公開日 平成6年(1994)4月15日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/339				
29/796				
H 0 4 N 5/335	E	9056-4M	H 0 1 L 29/ 76	3 0 1 F

審査請求 未請求 請求項の数4(全 8 頁)

(21)出願番号 特願平4-275534

(22)出願日 平成4年(1992)9月19日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72)発明者 伊沢 哲朗

千葉県茂原市早野3300番地 株式会社日立

製作所茂原工場内

(72)発明者 竹本 一八男

千葉県茂原市早野3300番地 株式会社日立

製作所茂原工場内

(74)代理人 弁理士 徳若 光政

最終頁に続く

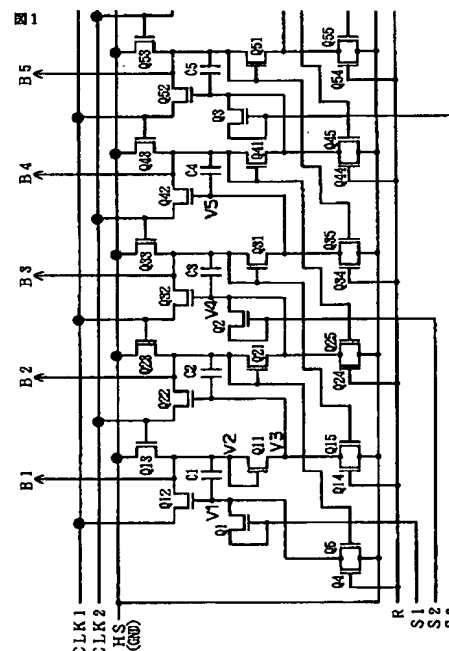
(54)【発明の名称】 シフトレジスタ

(57)【要約】

【目的】 ズームモード等に対応して途中からのシフト動作を可能にしたシフトレジスタを提供する。

【構成】 ゲート容量を記憶手段としてドレインに第1のタイミング信号がされてソースから出力信号を送出させる第1のMOSFETを用い、そのゲートとソース間にブートストラップ容量と、上記第1のMOSFETのソースの信号を伝える一方向性素子を含む回路を半ビット分としてダイナミック型のシフトレジスタを構成し、一方向素子を介して初段回路を含む途中のシフトレジスタの途中回路の入力にそれぞれ入力信号を伝える複数からなる入力回路を設ける。

【効果】 走査信号を形成するシフトレジスタにおいて、途中からシフト動作を開始させることができるから、簡単な回路動作によって撮像面における一定エリアの像が1画面分の大きさに拡大して表示させるような電子的なズームが可能になる。



## 【特許請求の範囲】

【請求項1】 第1のタイミング信号がドレインに供給され、そのゲート容量を記憶手段とし、ソースから出力信号を送出させる第1のMOSFETと、上記第1のMOSFETのゲートとソースとの間に設けられた第1の容量手段と、上記第1のMOSFETのソースの信号を伝える一方向性素子とを含む第1の回路と、上記第1のタイミング信号とは相互に位相が異なる第2のタイミング信号がドレインに供給され、そのゲート容量を記憶手段とし、ソースから出力信号を送出させる第2のMOSFETと、上記第2のMOSFETのゲートとソースとの間に設けられた第2の容量手段と、上記第2のMOSFETのソースの信号を伝える一方向性素子とを含む第2の回路とを一对とする複数の単位回路とを備え、上記一方向性素子を通した信号を第2の回路又は次段の単位回路の第1の回路のMOSFETのゲートに伝えるように縦列形態に接続するとともに、一方向性素子を介して初段回路を含む途中の単位回路の入力にそれぞれ入力信号を伝える複数からなる入力回路を備えてなることを特徴とするシフトレジスタ。

【請求項2】 上記シフトレジスタは、光電変換素子により形成された信号をスイッチ素子を介して出力させる固体撮像素子の走査信号を形成するものであることを特徴とする請求項1のシフトレジスタ。

【請求項3】 上記シフトレジスタは、途中からスタートさせて垂直方向の半分の行を半分の周波数により1行づつノンインタレースにより読み出すズームモード動作も行うものであることを特徴とする請求項2のシフトレジスタ。

【請求項4】 上記シフトレジスタは、途中からスタートさせて垂直方向あるいは水平方向の任意の位置から読み出すことを可能にする動作を行うものであることを特徴とする請求項2のシフトレジスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、シフトレジスタに関し、例えばズームモードを備えたカメラ一体型のカラーVTR（ビデオ・テープ・レコーダ）や監視カメラ等に用いられる固体撮像素子に含まれるものに利用して有効な技術に関するものである。

## 【0002】

【従来の技術】固体撮像素子を用いた撮像装置に関しては、例えばラジオ技術社、昭和61年11月3日発行「CCDカメラ技術」竹村裕夫著がある。

## 【0003】

【発明が解決しようとする課題】VTR用のカメラにおけるズームは、ズームレンズを用いて行われる。このズーム機能は、その倍率を益々大きくすることが望まれている。しかしながら、ズーム倍率を大きくするためにはレンズの枚数を多く必要とし、レンズ部が大型化し

てVTR用や監視用のカメラ部の小型軽量化と低コスト化を妨げている大きな原因になるものである。この発明の目的は、ズームモード等に対応して途中からのシフト動作を可能にしたシフトレジスタを提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【0004】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、ゲート容量を記憶手段としてドレインに第1のタイミング信号が入力されてソースから出力信号を送出させる第1のMOSFETを用い、そのゲートとソース間にブートストラップ容量と、上記第1のMOSFETのソースの信号を伝える一方向性素子とを含む回路を半ビット分としてダイナミック型のシフトレジスタを構成し、一方向性素子を介して初段回路を含む途中のシフトレジスタの途中回路の入力にそれぞれ入力信号を伝える複数からなる入力回路を設ける。

## 【0005】

【作用】上記した手段によれば、走査信号を形成するシフトレジスタにおいて、途中からシフト動作を開始させることができるから、簡単な回路動作によって撮像面における一定エリアの像が1画面分の大きさに拡大して表示させるような電子的なズームが可能になる。

## 【0006】

【実施例】図3には、この発明に係るシフトレジスタを用いた固体撮像素子の読み出し機能を説明するための画面構成図が示されている。同図では、以下の説明において文字の向きに対応して上下左右を定義するものである。固体撮像素子の画面構成は、同図に斜線を付したように左側と上側にオブチカルブラック部（光学的黒の基準となる遮光部）と、入射光を映像信号に変換する有効受光部（縦がV、横がH）とから構成される。上記受光部に対応してフォトダイオード等の光電変換素子が二次元状に配置され、それを選択する水平スイッチMOSFETと垂直スイッチMOSFETが設けられる。

【0007】特に制限されないが、これらの受光部を構成する光電変換素子とスイッチMOSFET（絶縁ゲート型電界効果トランジスタ）によるマトリックス構成は、公知のTSL（Transversal Signal Line）方式とされる。すなわち、1つの画素セルは、フォトダイオードと垂直走査線にゲートが結合されたMOSFETと、水平走査線にゲートが結合されたMOSFETの直列回路から構成される。同じ行（水平方向）に配置れた同様な画素セルは、横方向に延長される水平信号線に結合される。この水平信号線は、上記垂直走査線にゲートが結合されたスイッチMOSFETを介して縦方向に延長される垂直出力線に結合され、読み出しアンプが設けられる。

【0008】垂直シフトレジスタVSRと水平シフトレジスタHSRは、上記のような二次元状に配置された光電変換素子を一定の順序で読み出すという走査信号を形成する。すなわち、垂直シフトレジスタVSRは、同図で下から上方向に向かって垂直走査線の選択する走査信号を形成する。水平シフトレジスタHSRは、同図で左から右方向に向かって水平走査線を選択する走査信号を形成する。

【0009】この実施例では、電子式のズーム機能を付加するために、水平シフトレジスタHSRは、オブチカルブラック部の走査信号を形成した後、画面のH/4に相当する部分を飛び越（スキップ）して、H/2分だけのエリアを通常の半分の周波数により走査信号を形成する。言い換えるならば、水平シフトレジスタHSRは、同図に斜線を付した箇所をスキップさせて受光部の左側からH/4から3H/4までの走査信号を通常の半分の周波数によりシフト動作を行い、それぞれに対応した水平走査線の選択信号を形成する。

【0010】垂直シフトレジスタVSRは、同様に同図に斜線を付した部分を飛び越し（スキップ）して走査する機能を付加する。すなわち、垂直シフトレジスタVSRは、受光部の下からV/4を飛び越して、V/4から走査動作を開始してV/2だけ、言い換えるならば、上記V/4から3V/4までのエリアを通常の半分の周波数により走査する走査信号を形成し、画面の上側のV/4は再び飛び越してオブチカルブラックの走査信号を形成する。垂直走査においては、走査線の数合わせるために上記V/2の期間は、ノンインタレースにより走査を行うものである。すなわち、後に再び説明するが、垂直走査については、通常モードのときには残像防止の観点からインタレースゲート回路を設けて、奇数フィールドと偶数フィールドとで1行分づらせて2行同時読み出しを行い、インタレースに対応した空間的重心を上下に移動させる。上記のようなズームモードのときには、1行づつノンインタレースにより読み出して走査線数合わせるものである。

【0011】上記のような水平シフトレジスタHSRと垂直シフトレジスタVSRの飛び越し走査動作によって、通常動作にあっては受光部の全体Bの映像信号を得るとともに、ズームモードにあっては上記のようなスキップ走査により受光部の中央部分の画面Aの部分の2倍にズームアップした映像信号を得ることができる。

【0012】図1には、上記垂直シフトレジスタVSRの一実施例の具体的な回路図が示されている。同図の各回路素子は、図示しない他の固体撮像素子の他の回路を構成する回路素子とともに、公知の半導体集積回路の製造技術によって、例えば単結晶シリコンのような1個の半導体基板上において形成される。

【0013】MOSFETQ12は、記憶動作と出力動作を行う。すなわち、MOSFETQ12は、そのゲート

ト容量を記憶手段としている。ゲート容量にハイレベルが保持されると、MOSFETQ12はオン状態になり、そのドレインに供給されるシフトクロックパルスCLK1のハイレベルをソース側に伝える。この初段のMOSFETQ12のゲートには、ダイオード形態のMOSFETQ1からなる第1の入力回路が設けられる。初段回路から走査動作を開始するときには、走査開始時にスタート信号S1がハイレベルの選択レベルを意味する論理“1”にされる。ソース側の信号B1は出力信号とされる。このとき、MOSFETQ12のしきい値電圧によって出力信号B1のレベルが低下してしまうのを防ぐために、MOSFETQ12のゲートとソース間にはブートストラップ容量C1が設けられる。

【0014】上記MOSFETQ12のソースには、信号伝達動作を行うためにダイオード形態にされたMOSFETQ11が設けられる。このMOSFETQ11は、MOSFETQ12のソース側のハイレベルの信号V2を伝達するという一方向性素子としての動作を行う。特に制限されないが、上記MOSFETQ12のソースと回路の接地電位点との間には、出力信号B1を高速にリセットさせるためのリセットMOSFETQ13が設けられる。このリセットMOSFETQ13のゲートには、上記シフトクロックパルスCLK1のハイレベルが重なり合うことが無いように位相が異なるようにされたシフトクロックパルスCLK2が供給される。

【0015】上記MOSFETQ12の出力信号B1は、ダイオード形態のMOSFETQ11を通して次段の同様な記憶手段としてのMOSFETQ22のゲートに伝えられる。上記ダイオード形態のMOSFETQ11のソース（ダイオードとしてのカソード側）と回路の接地電位点にはリセットMOSFETQ14とQ15が並列形態に設けられる。MOSFETQ14のゲートには、リセット信号Rが供給され、このリセット信号Rにより初期値を入力するときに前の状態をいったんリセットする。MOSFETQ15のゲートには、1ビット前の同様なダイオードMOSFETQ31を通した出力信号がリセット信号として帰還される。すなわち、上記MOSFETQ11ないしQ15からなる回路はシフトレジスタを構成する半ビット分の単位回路を示し、同様な回路を一对として1ビット分の単位回路を構成し、これらの1ビット分の単位回路が複数個設けられることによって、複数ビットのシフトレジスタが構成される。

【0016】上記回路の対をなす半ビット分の単位回路（第2の回路）は、MOSFETQ21ないしQ25から構成される。ただし、記憶及び出力動作を行うMOSFETQ22のドレインには、シフトクロックパルスCLK2が供給される。また、出力側に設けられるリセット用MOSFETQ23のゲートには、シフトクロックパルスCLK1が供給される。

【0017】図2には、その動作の一例を説明するため

10

20

30

40

50

のタイミング図が示されている。初段回路からのシフト動作を行う場合、シフトクロックパルスCLK2に同期してスタート信号S1がハイレベルにされる。これによって、MOSFETQ12のゲート容量には、ダイオード形態のMOSFETQ1を通してスタート信号S1のハイレベルが伝えられる。これによって、MOSFETQ12のゲート電圧V1はハイレベルとなってオン状態にされる。

【0018】シフトクロックパルスCLK2がロウレベルにされた後にシフトクロックパルスCLK1がハイレベルにされると、そのハイレベルは既にオン状態にされているMOSFETQ12を通して出力信号B1として出力される。このとき、ブートストラップ容量C1にも上記ハイレベルが書き込まれるものであるため、出力信号のハイレベルに応じてMOSFETQ12のゲート電圧V1を昇圧させる。これによって、シフトクロックパルスCLK1のハイレベルはレベル損失なく出力信号B1として出力される。上記出力信号B1のハイレベルに応じてダイオード形態のMOSFETQ11を通したソース側のノードV3もハイレベルにされる。ただし、このMOSFETQ11のソース側ノードのレベルV3は、MOSFETQ11のしきい値電圧分だけレベルが低下したものとされる。このMOSFETQ11のソース側ノードのハイレベルV3は、次段回路のMOSFETQ22のゲート電極に伝えられ、そのゲート容量及びブートストラップ容量C2をハイレベルにする。これによって、MOSFETQ22はオン状態にされる。

【0019】シフトクロックパルスCLK1がハイレベルからロウレベルになった後にシフトクロックパルスCLK2がハイレベルにされる。シフトクロックパルスCLK2がハイレベルにされると、MOSFETQ13がオン状態にされるから出力信号B1はハイレベルからロウレベルに高速に引き抜かれる。また、シフトクロックパルスCLK2のハイレベルは既にオン状態にされているMOSFETQ22を通して次段の出力信号として出力される。このとき、ブートストラップ容量C2にも上記ハイレベルが書き込まれているものであるため、上記出力信号のハイレベルに応じてMOSFETQ22のゲート電圧を昇圧させる。これによって、シフトクロックパルスCLK2のハイレベルはレベル損失なく次段出力信号B2として出力される。上記出力信号のハイレベルに応じてダイオード形態のMOSFETQ21を通したソース側のノードもハイレベルにされる。ただし、MOSFETQ21のしきい値電圧分だけレベルが低下したものとされる。このMOSFETQ21のソース側ノードのハイレベルは、次段回路の同様なMOSFETQ32のゲート電極に伝えられ、ゲート容量及びブートストラップ容量C3をハイレベルにする。これによって、MOSFETQ32はオン状態にされる。

【0020】以下、同様にシフトクロックパルスCLK1とCLK2に同期して半ビット分のシフト動作が行われる。したがって、前記のような垂直シフトレジスタVSRとして用いるとき、走査信号は奇数番目の出力信号B1、B3等が用いられるものとなる。

【0021】この実施例では、図3の垂直シフトレジスタVSRのようにズームモードのときに途中からの走査動作を可能にするため、途中の単位回路の入力段にダイオード形態のMOSFETQ2やQ3を介してスタート信号S1、S2が供給される入力回路が設けられる。

【0022】例えば、前記動作においてスタート信号S1に変えてスタート信号S2をハイレベルにすれば出力B3からの出力が可能なり、スタート信号S3をハイレベルにすれば出力B5からの出力が可能になる。同図では、発明の理解を容易にするために、例示的に示された半ビット5段分の回路が例示的に示され、そのうちの奇数段B1とB3及びB5に入力回路が設けられるが、前記のようなズームモードを備えた固体撮像素子の垂直シフトレジスタVSRにあっては、通常動作に対応したスタート信号S1と、そのV/4の単位回路に対してスタート信号S2を供給する入力回路が設けられる。さらに、8倍ズーム等に対応して入力回路を設けてスタート信号S3を供給すればよい。これにより、複数種類の走査開始点からの走査動作を簡単に行うことができる。

【0023】なお、垂直シフトレジスタVSRにおけるスキップ動作や水平シフトレジスタHSRにおけるスキップ動作のために、上記シフトレジスタの途中の出力信号をバイパスさせて飛び越し先の単位回路に入力させる回路が設けられる。この回路は、スイッチ回路によって通常のシフト動作とスキップさせたシフト動作のいずれかの信号経路を切り替えるようにすればよい。

【0024】なお、水平シフトレジスタHSRでは、上記のようなズームモードのときにも、オブチカルブラックの読み出し動作のためのシフト動作を行う必要があるため常に初段回路からスタートが開始される。

【0025】この垂直走査においては、通常モードのときには残像防止の観点等から2行同時読み出しが行われる。これに対してズームモードでは、1行づつノンインタレースモードで読み出す。すなわち、奇数フィールドと偶数フィールドともに同様に1行づつ読み出しを行う。

【0026】図4には、垂直シフトレジスタVSRに設けられる出力回路の一実施例の回路図が示されている。このような出力回路により、垂直シフトレジスタVSRにより形成された走査信号V1は、スイッチMOSFETQ2とQ3のゲートに供給に供給され、タイミングパルスCLK3とCLK4を行L1とL2に対応させて出力させるものである。以下、同様に走査信号V2は、上記同様なスイッチMOSFETとタイミングパルスCLK3とCLK4により、行L3とL4に対応させてい

る。

【0027】上記のような飛び越しシフト動作を伴うズームモードのとき、シフト用のクロックパルスCLK1とCLK2の周波数は通常の半分の周波数にされる。それ故、垂直シフトレジスタVSRからの出力パルスV1、V2等は、2水平走査帰還に1度出力され、スイッチMOSFETQ2、Q3等の順にオン状態にする。そのため、タイミングパルスCLK3とCLK4は、行L1とL2の順にハイレベルとすることによってノンインタレース動作を行うものである。

【0028】図5には、カラー固体撮像素子に適用した場合の一実施例の色フィルタ配置図が示されている。

色フィルタは、ホワイト(W)、イエロー(Ye)、シアン(Cy)及びグリーン(G)の4色を用いる。すなわち、横方向にイエロー(Ye)、シアン(Cy)の繰り返しにより配置される。その下の行には、グリーン(G)、ホワイト(W)の繰り返しにより配置される。

以下、同様なパターンの繰り返しによって色フィルタが\*

$$Y = W + Cy + G + Ye \quad \dots \dots \dots (1)$$

$$R = (W - Cy) + (Ye - G) \quad \dots \dots \dots (2)$$

$$B = (W - Ye) + (Cy - G) \quad \dots \dots \dots (3)$$

【0032】これに対して、ズームモードのときには、前記のようにインタレースにより1行づつしか読み出されない。そのため、色信号としてはイエローYeと、シアン(Cy)及びホワイト(W)とグリーン(G)が交互に1水平期間毎に得られるものとなる。そこで、各信号は1水平期間だけ遅延した信号を用い、それを加算回路により加算して、上記式(2)及び(3)のような演算を第2のマトリックス回路MTXにより行うことによりレッド信号Rとブルー信号Bを得るものである。輝度信号Yは、解像度の観点より、加算回路により $Y = Ye + Cy$ 及び $Y = W + G$ を形成し、水平走査パルスHPによりスイッチ制御されるスイッチSW1を介して交互に切り換える。

【0033】これらズームモードで得られる輝度信号Y及びレッド信号Rとブルー信号Bと、通常モードのときマトリックス回路MTX1から出力される各信号とは、上記制御信号ZSによりスイッチ制御されるスイッチ回路SW2ないしSW4により切り換えられて出力される。

【0034】以上の撮像装置では、画面の中心部の画像を縦、横をそれぞれに2倍に拡大(ズームアップ)した映像信号をカラー信号として表示できるものである。この実施例では、縦横を等倍で拡大し、しかもテレビジョン画面にいっぱいに表示する観点から、言い換えるならば、カメラ一体型VTRに適用する観点から倍率をそれぞれ2倍に固定したが、縦又は横だけを2倍、4倍等に拡大するものであってもよい。監視カメラ等では、上記のように縦長や横長に拡大しても差支えない場合がある。

\* 配置される。

【0029】図6には、上記のズームモード機能を持つ固体撮像素子を用いた撮像装置の一実施例のブロック図が示されている。固体撮像素子MIDは、上記のような飛び越し走査機能と色フィルタを備えたMOS型固体撮像素子である。駆動回路DRVは、その読み出し動作に必要なクロックパルスを形成する。この実施例では、前記のような電子式のズーム機能のために制御信号ZSにより、駆動回路DRVは、垂直、水平シフトレジスタの走査周波数を通常モードの半分の周波数に切り換える。

【0030】通常動作モードのときには、上記のような2行同時読み出しにより、固体撮像素子MIDからホワイト(W)、イエロー(Ye)、シアン(Cy)及びグリーン(G)の4色が出力される。この色信号は、マトリックス回路MTXに入力され、ここで次の演算が行われて輝度信号Yとレッド信号R及びブルー信号Bが形成される。

【0031】

【0035】例えば、上記のような2倍の電子式ズーム機能を持つ固体撮像素子を用い、6倍のレンズ式ズーム機構を組み合わせることによって、等価的に12倍までの高倍率のズーム機能が実現できる。

【0036】上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) ゲート容量を記憶手段としてドレインに第1のタイミング信号がされてソースから出力信号を送出させる第1のMOSFETを用い、そのゲートとソース間にブートストラップ容量と、上記第1のMOSFETのソースの信号を伝える一方向性素子とを含む回路を半ビット分としてダイナミック型のシフトレジスタを構成し、一方向素子を介して初段回路を含む途中のシフトレジスタの途中回路の入力にそれぞれ入力信号を伝える複数からなる入力回路を設けることにより、途中からシフト動作を開始させることができるから、簡単な回路動作によって撮像面における一定エリアの像が1画面分の大きさに拡大して表示させるような電子的なズーミングが可能になるという効果が得られる。

【0037】(2) 上記固体撮像素子として、二行同時に読み出す通常モードと、垂直シフトレジスタをスキップさせて半分の行を半分の周波数により1行づつノンインタレースにより読み出すズームモードとを持つたせることにより、縦横2倍の等倍率で拡大した画像信号を得ることができるという効果が得られる。

【0038】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、

固体撮像素子の読み出し方式は、前記TSLの他何であってもよい。固体撮像素子としては、感度設定用の垂直シフトレジスタを設ける構成としてもよい。この感度設定用の垂直シフトレジスタにも上記途中スタート機能を付加することによって、感度可変機能あるいは電子式シャッター機能を付加することができる。

【0039】固体撮像素子はエリアセンサの他にラインセンサであってもよい。ラインセンサにおいて読み出し用のシフトレジスタを途中からスタートさせる機能を設けることによって、必要箇所だけの映像信号を得るとい

【0040】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、ゲート容量を記憶手段としてドレインに第1のタイミング信号がされてソースから出力信号を送出させる第1のMOSFETを用い、そのゲートとソース間にブートストラップ容量と、上記第1のMOSFETのソースの信号を伝える一方向性素子とを含む回路を半ビット分としてダイナミック型のシフトレジスタを構成し、一方向性素子を介して初段回路を含む途中のシフトレジスタの途中回路の入力にそれぞれ入力\*

\* 信号を伝える複数からなる入力回路を設けることにより、途中からシフト動作を開始させることができるから、簡単な回路動作によって撮像面における一定エリアの像が1画面分の大きさに拡大して表示させるような電子的なズーミングが可能になる。

【図面の簡単な説明】

【図1】この発明に係るシフトレジスタの一実施例を示す回路図である。

【図2】図1のシフトレジスタの動作の一例を説明するための波形図である。

【図3】この発明に係るシフトレジスタを用いた固体撮像素子の読み出し機能を説明するための画面構成図である。

【図4】その垂直シフトレジスタの出力回路の一例を示す回路図である。

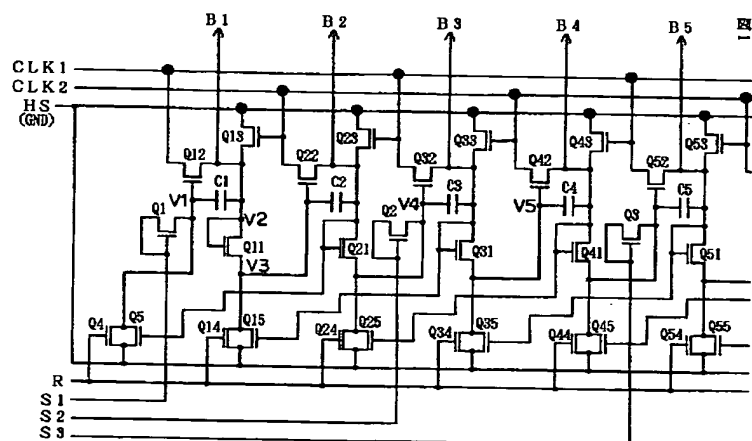
【図5】上記固体撮像素子に用いられる色フィルタの一実施例を示す配置図である。

【図6】上記固体撮像素子を用いた撮像装置の一実施例を示すブロック図である。

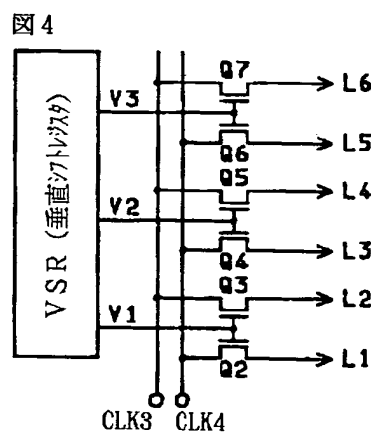
【符号の説明】

Q1~Q55…MOSFET、C1~C5…ブートストラップ容量、VSR…垂直シフトレジスタ、HSR…水平シフトレジスタ、MID…固体撮像素子、DRV…駆動回路、MTX1、MTX2…マトリックス回路、SW1~SW4…スイッチ回路、IHDL…1H遅延回路

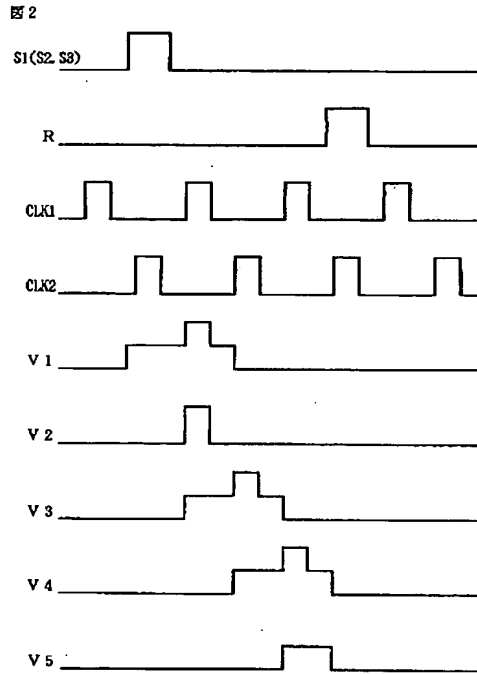
【図1】



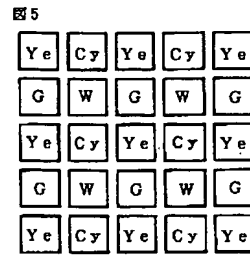
【図4】



【図2】



【図5】



【図3】

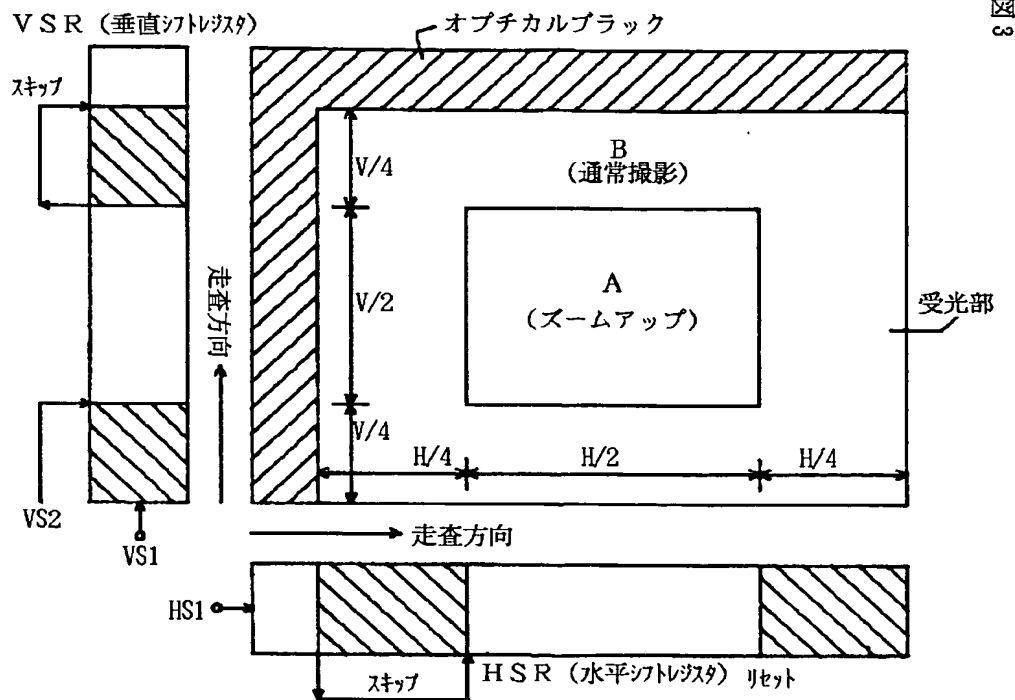
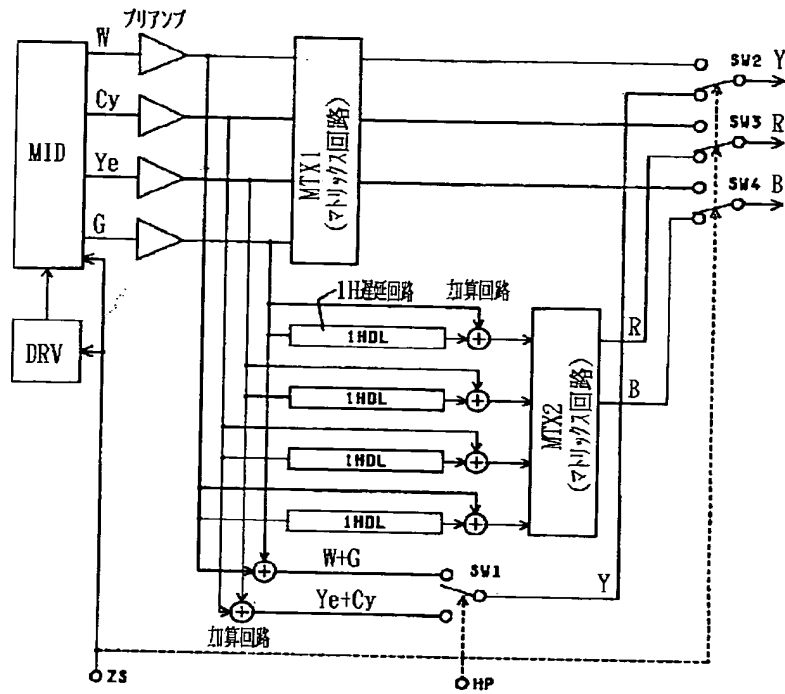


图 6



(72)発明者 小倉 明  
千葉県茂原市早野 3681 番地 日立デバイス  
エンジニアリング株式会社内